

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-300434

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H04N 5/335

H01L 27/146

H04N 1/04

(21)Application number : 04-125399

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 20.04.1992

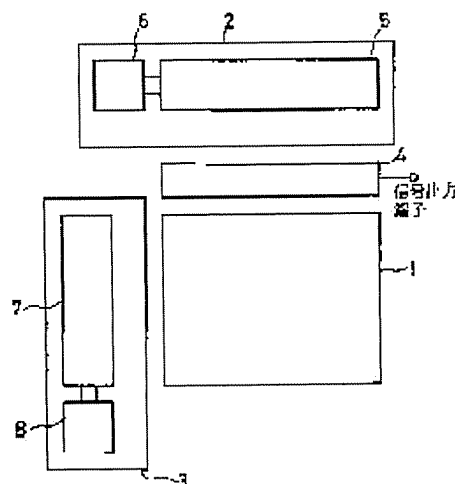
(72)Inventor : GOMI YUICHI
KAZAMA SATOSHI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide the X-Y address type solid-state image pickup device which enables bidirectional image pickup scan by reducing the increase of a chip area with simple configuration.

CONSTITUTION: This X-Y address type solid-state image pickup device is provided with a photodetection part 1, horizontal and vertical scanning circuits 2 and 3 and signal read part 4. The horizontal scanning circuit 2 is provided with a horizontal shift register 5 to switch the scanning direction with clock control and a horizontal scanning direction control circuit 6 to control input clocks, and the vertical scanning circuit 3 is provided with a vertical shift register 7 to switch the scanning direction with clock control and a vertical scanning direction control circuit 8 to control input clocks. Then, the scanning direction is switched by controlling the horizontal and/or vertical scanning direction control circuits 6 and 8.



LEGAL STATUS

[Date of request for examination] 14.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3396039

[Date of registration] 07.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-300434

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335	E			
H 0 1 L 27/146				
H 0 4 N 1/04	1 0 3 Z	7251-5C 7210-4M	H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数 6(全 14 頁)

(21)出願番号 特願平4-125399
(22)出願日 平成4年(1992)4月20日

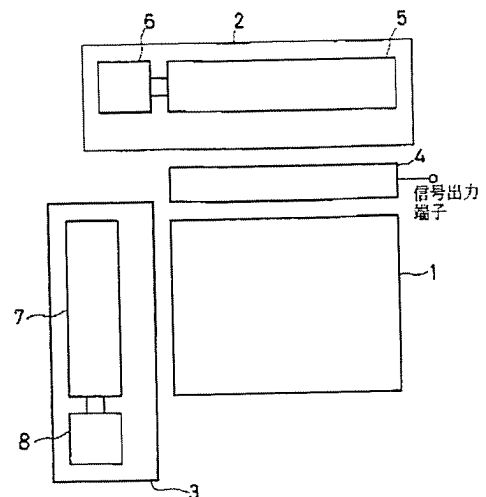
(71)出願人 000000376
オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(72)発明者 五味 祐一
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内
(72)発明者 風間 里志
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 簡単な構成で且つチップ面積の増大を低減した双方向撮像走査可能なX-Yアドレス型固体撮像装置を提供する。

【構成】 受光部1と水平及び垂直走査回路2、3と信号読み出し部4とを備えたX-Yアドレス型の固体撮像装置において、水平走査回路2は、クロック制御により走査方向を切り換えられる水平シフトレジスタ5と入力クロックを制御する水平用走査方向制御回路6とを備え、また垂直走査回路3はクロック制御により走査方向を切り換えられる垂直シフトレジスタ7と入力クロックを制御する垂直用走査方向制御回路8とを備え、水平及び又は垂直用走査方向制御回路6、8を制御して、走査方向の切り換えを行う。



- 1 : 受光部
- 2 : 水平走査回路
- 3 : 垂直走査回路
- 4 : 信号読み出し部
- 5 : 水平シフトレジスタ
- 6 : 水平用走査方向制御回路
- 7 : 垂直シフトレジスタ
- 8 : 垂直用走査方向制御回路

(2)

1

【特許請求の範囲】

【請求項1】 光電変換素子を2次元に配列した受光部と、該受光部の光電変換素子の光蓄積信号を順次X-Yアドレス方式で読み出すための水平及び垂直走査回路と、信号読み出し部とを備えた固体撮像装置において、前記水平及び又は垂直走査回路を、入力クロック信号の制御により走査方向が切り換えられるように構成し、入力クロック信号を制御して前記走査回路の走査方向を切り換え、双方向撮像走査を可能にしたことを特徴とする固体撮像装置。

【請求項2】 前記水平及び又は垂直走査回路は、走査方向を切り換える制御手段を備えていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記切り換え制御手段は、前記水平及び又は垂直走査回路への入力クロック信号を制御するように構成されていることを特徴とする請求項2記載の固体撮像装置。

【請求項4】 前記切り換え制御手段は、同一チップ内に形成されていることを特徴とする請求項2又は3記載の固体撮像装置。

【請求項5】 前記水平及び又は垂直走査回路は、クロック形CMOSインバータの組み合わせにより構成され、該クロック形CMOSインバータのクロック信号の与えられるゲートを2組並列に設け、それぞれのゲートに与えられるクロック信号が制御されて走査方向が切り換えられるように構成されていることを特徴とする請求項1～4のいずれか1項に記載の固体撮像装置。

【請求項6】 前記水平及び又は垂直走査回路は、インバータとトランスファergeートの組み合わせにより構成され、該トランスファergeートを2個並列に設け、それぞれのゲートに与えられるクロック信号が制御されて走査方向が切り換えられるように構成されていることを特徴とする請求項1～4のいずれか1項に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、通常の撮像動作と鏡像撮像動作などができる双方向撮像走査可能なX-Yアドレス型固体撮像装置に関する。

【0002】

【従来の技術】 固体撮像装置に対する要求として、小型化、高画質化といった要求の他に多機能化が挙げられる。その中の1つとして、固体撮像装置を車に搭載した場合の後方確認用に用いられる鏡像機能（左右反転機能）がある。この鏡像機能を実現する方法として、例えばCCDイメージセンサでは、1991年テレビジョン学会全国大会予稿集2-7（p31～32）に開示されている。この鏡像機能をもたせたCCDイメージセンサの構成を図18に示す。

【0003】 図18において、H1、H1B、H2、H2

2

Bは水平転送用CCDのクロック、aは水平転送CCD、102は垂直転送CCD、103は画素である。このように構成されたCCDイメージセンサにおいて、通常撮像動作では、水平転送CCD a内の電荷の流れは、図中実線の向きとなり、鏡像撮像動作における電荷の流れは、破線の向きとなる。この構成をX-Yアドレス型イメージセンサに適用した場合を考えると、順方向及び逆方向用の水平走査回路をそれぞれ用意しなければならないことになる。

10 【0004】 また、双方向撮像走査機能をもたせる他の方法としては、特開平1-302972号に開示されるように、アップダウンカウンタとマルチプレクサを組み合わせ、アップダウンカウンタの計数結果に応じて、予め定められたパルス信号をマルチプレクサから供給する構成で、カウンタをアップカウントするかダウンカウントするかで走査方向を切り換える方法が知られている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の方式を用いて、X-Yアドレス型固体撮像装置に対し双方向撮像走査を実現しようとする、次に述べる問題が生じる。すなわち、まず図18に示した構成を、X-Yアドレス型固体撮像装置に適用した場合、順方向及び逆方向用の走査回路が必要となる。このためチップ面積が増大してしまうという問題がある。一方、特開平1-302972号に開示された方法では、アップダウンカウンタ及びマルチプレクサを構成するため複雑な回路構成が必要となり、やはりチップ面積が増大してしまうという問題がある。

30 【0006】 本発明は、従来の双方向撮像走査可能なイメージセンサにおける上記問題点を解決するためになされたもので、簡単な構成で双方向撮像走査可能なX-Yアドレス型固体撮像装置を提供することを目的とする。

【0007】

【課題を解決するための手段及び作用】 上記問題点を解決するため、本発明に係る固体撮像装置は、図1の概念図に示すように、光電変換素子を2次元的に配列した受光部1と、該受光部1の光電変換素子の光蓄積信号を順次X-Yアドレス方式で読み出すための水平走査回路2及び垂直走査回路3と、信号読み出し部4とを備えており、水平走査回路2はクロック制御により走査方向を切り換えられる水平シフトレジスタ5と、該水平シフトレジスタ5への入力クロックを制御する水平用走査方向制御回路6とを備え、また垂直走査回路3は、クロック制御により走査方向を切り換えられる垂直シフトレジスタ7と、該垂直シフトレジスタ7への入力クロックを制御する垂直用走査方向制御回路8とを備え、水平及び又は垂直用走査方向制御回路6、8を制御して走査方向の切り換えを行えるように構成するものである。

50 【0008】 このように構成した固体撮像装置においては、水平及び又は垂直用走査方向制御回路6、8によ

(3)

3

り、水平シフトレジスタ5及び又は垂直シフトレジスタ7にするクロックを制御することにより、水平及び又は垂直走査方向が切り換えられる。したがって複雑な回路構成や複数の走査回路を必要とせず、チップ面積の増大の割合を低減した鏡像撮像や上下反転撮像などに適用できる双方向撮像走査可能な固体撮像装置を実現できる。

【0009】

【実施例】次に実施例について説明する。図2は、本発明に係る双方向撮像走査可能なX-Yアドレス型固体撮像装置の第1実施例の主要部である、走査回路に用いるシフトレジスタを構成するクロック形インバータを示す回路構成図である。図において、PM1~PM3は、PチャンネルMOSトランジスタ、NM1~NM3は、NチャンネルMOSトランジスタである。図に示すように、クロックの与えられるゲートを、PM2、NM2及びPM3、NM3の2組並列に設け、それぞれのゲートには異なるクロック信号VCKP、XVCKP、VCKN、XVCKNが与えられるように構成されている。なお、ここでクロック信号XVCKP、XVCKNは、それぞれクロック信号VCKP、VCKNの反転信号を表している。そして出力VOU TPには、クロック信号VCKPが“L”レベルの時、入力VINの反転信号が現れ、クロック信号VCKPが“H”レベルの時は、前の状態を保持する。同様に出力VOU TNには、クロック信号VCKNが“L”レベルの時、入力VINの反転信号が現れ、クロック信号VCKNが“H”レベルの時は、前の状態を保持するようになっている。

【0010】図3は、図2に示したクロック形インバータを縦続接続し、N段構成としたシフトレジスタを示す回路構成図である。図3において、101~108はシフトレジスタのクロックライン、109はシフトレジスタのスタートパルス入力端子、SR(1)、SR(2)、…SR(N)はシフトレジスタの出力端子、SR(0.5)、SR(1.5)、…SR(N+0.5)はシフトレジスタの中間ノードである。図4、5は図3に示したシフトレジスタの動作を説明するためのパルスタイミングを示しており、図4は順方向走査、図5は逆方向走査の場合を示している。

【0011】まず順方向走査について説明する。図3におけるクロックライン101~104には、図4に示すようなクロックパルスVCKN1、VCKN2、VCKP1、VCKP2が与えられ、クロックライン105~108には、クロックパルスVCKN1、VCKN2、VCKP1、VCKP2の反転信号が与えられる。クロックパルスVCKN1、VCKN2は常時“H”レベル、クロックパルスXVCKN1、XVCKN2は常時“L”レベルであり、これらの信号が与えられるクロックラインに接続されているゲートは、常にオフ状態となっ

4

【0012】この時のシフトレジスタの動作について、図4のタイミングチャートに基づき説明する。シフトレジスタの入力端子109に、 $t_1 \sim t_4$ の期間“H”レベルであるスタートパルスVSTが入力されると、まず中間ノードSR(0.5)には、クロックパルスVCKP2が“L”レベルの時、スタートパルスVSTの反転信号が現れるため、クロックパルスVCKP2の立ち下がり同期してスタートパルスVSTの反転信号がシフトし、 $t_2 \sim t_5$ の期間“L”レベルとなる。次に出力端子SR(1)には、クロックパルスVCKP1が“L”レベルの時、中間ノードSR(0.5)の反転信号が現れるため、クロックパルスVCKP1の立ち下がり同期してスタートパルスVSTがシフトし、 $t_3 \sim t_6$ の期間“H”レベルとなる。以下同様にシフト動作が行われ、シフトレジスタ出力端子SR(1)、SR(2)、…SR(N)に順次図4に示すような信号が現れる。

【0013】次に逆方向走査について説明する。クロックライン101~104には、図5に示すようなクロックパルスVCKN1、VCKN2、VCKP1、VCKP2が与えられる。この時は、クロックパルスVCKP1、VCKP2は常時“H”レベル、クロックパルスXVCKP1、XVCKP2は常時“L”レベルとなり、これらの信号が与えられるクロックラインに接続されるゲートは、常にオフ状態となる。この時のシフトレジスタの動作について、図5のタイミングチャートに基づき説明する。シフトレジスタ入力端子109に、 $t_1 \sim t_4$ の期間“H”レベルであるスタートパルスVSTが入力されると、まず中間ノードSR(N+0.5)は、順方向動作時の中間ノードSR(0.5)と同様に、 $t_2 \sim t_5$ の期間“L”レベルとなる。次に出力端子SR(N)は、 $t_3 \sim t_6$ の期間“H”レベルとなり、以下同様にシフト動作が行われ、シフトレジスタ出力端子SR(N)、SR(N-1)、…SR(1)に、順次図5に示すような信号が現れる。

【0014】以上説明したように、図3に示したシフトレジスタにおいては、シフトレジスタのクロックラインに与える信号を制御する事により走査方向が切り換わり、またシフトレジスタのスタート信号入力端子も1個でよい。このシフトレジスタを走査回路に用いることで、双方向撮像走査可能な固体撮像装置が得られ、左右反転の鏡像撮像や上下反転撮像が可能となる。

【0015】次に第2実施例について説明する。図6は、本発明に係るX-Yアドレス型固体撮像装置の第2実施例における走査回路のシフトレジスタ1段分の回路構成を示し、図7、8にその動作タイミングチャートを示す。図9は、図6に示した構成をN段接続したシフトレジスタの構成を示し、図10、11は、図9に示したシフトレジスタの動作を説明するためのタイミングチャートを示す。なお図7及び図10は、順方向走査におけるタイミングを示し、図8及び図11は逆方向走査におけるタイ

(4)

5

ミングを示している。

【0016】まず図6に基づいて、シフトレジスタ1段分の構成について説明する。pチャンネルトランジスタ209のソースは電源ライン“V_{DD}”201に、ドレインはpチャンネルトランジスタ210のソースに、ゲートはnチャンネルトランジスタ212のゲートに接続されている。pチャンネルトランジスタ210のゲートはクロックライン“V_{CK1}”203に、ドレインはnチャンネルトランジスタ211のドレインに接続されている。nチャンネルトランジスタ211のゲートはクロックライン“XV_{CK1}”206に、ソースはnチャンネルトランジスタ212のドレインに接続されている。nチャンネルトランジスタ212のドレインはグラウンドライン“V_{SS}”202に接続されている。

【0017】pチャンネルトランジスタ213、214とnチャンネルトランジスタ216、218との接続構成は、先に説明したpチャンネルトランジスタ209、210とnチャンネルトランジスタ211、212との接続構成と同様である。但し、pチャンネルトランジスタ214のゲートがクロックライン“V_{CKP}”204に接続され、nチャンネルトランジスタ216のゲートがクロックライン“XV_{CKP}”207に接続されている点は異なる。また、pチャンネルトランジスタ215のソースがpチャンネルトランジスタ213のドレイン及びpチャンネルトランジスタ214のソースに接続され、ドレインはnチャンネルトランジスタ217のドレインに接続され、ゲートはクロックライン“V_{CKN}”205に接続されている。更にnチャンネルトランジスタ217のソースがnチャンネルトランジスタ216のソース及びnチャンネルトランジスタ218のドレインに接続され、ゲートはクロックライン“XV_{CKN}”208に接続されている。

【0018】そして、pチャンネルトランジスタ209のゲートとnチャンネルトランジスタ212のゲートとが接続しており、シフトレジスタ(1段分)の入力端子200となり、pチャンネルトランジスタ210のドレインと、nチャンネルトランジスタ211のドレインと、pチャンネルトランジスタ213のゲートと、nチャンネルトランジスタ218のゲートとが接続しており、シフトレジスタ(1段分)の出力端子SRとなっている。またpチャンネルトランジスタ214のドレインとnチャンネルトランジスタ216のドレインとの接続点“V_{OUTP}”219が、順方向走査における次段のシフトレジスタの入力端子に接続され、またpチャンネルトランジスタ215のドレインとnチャンネルトランジスタ217のドレインとの接続点“V_{OUTN}”220が、逆方向走査における次段のシフトレジスタの入力端子に接続されるようになっている。

【0019】次に図6に示したシフトレジスタ1段分の動作について説明する。まず入力端子200に図7及び図8に示すスタートパルス“V_{ST}”を入力すると、出力

6

端子SRに現れるパルスは、図7及び図8に示す波形となる。そして、順方向走査時には接続点“V_{OUTP}”219の信号が、逆方向走査時には接続点“V_{OUTN}”220の信号が、それぞれ次段の入力信号となるので、次段のシフトレジスタの出力は図7及び図8に示すパルス“SR'”となる。

【0020】図9は、図6に示した構成をN段接続したシフトレジスタの回路構成図である。図9に示したシフトレジスタにおいては、順方向走査用及び逆方向走査用として、入力端子を2個用いているものを示したが、第1実施例と同様に入力端子を共通に接続して1つにすることも可能である。

【0021】次に、図9に示すシフトレジスタの動作について説明する。まず順方向走査の場合を図10に示すタイミングチャートを参照しながら説明する。図9において、入力端子“V_{STP}”200、クロックライン“V_{CK1}”203、“V_{CKP}”204、“V_{CKN}”205、及びクロックライン“XV_{CK1}”206、“XV_{CKP}”207、“XV_{CKN}”208に、図10に示すタイミングパルスを与える。ここでクロックパルス“XV_{CK1}”は、クロックパルス“V_{CK1}”の反転信号で、パルス“XV_{CKP}”、“XV_{CKN}”は、それぞれクロックパルス“V_{CKP}”、“V_{CKN}”の反転信号である。

【0022】クロックパルス“V_{CKN}”及びクロックパルス“XV_{CKN}”は、常にそれぞれ“H”レベル及び“L”レベルであるため、pチャンネルトランジスタ215-1、215-2、…215-(N-1)、215-N及びnチャンネルトランジスタ217-1、217-2、…217-(N-1)、217-Nは常にOFF状態である。入力端子“V_{STP}”200に、図10に示すt₁～t₄の期間“L”レベルであるスタートパルス“V_{STP}”を与えると、pチャンネルトランジスタ209-1とnチャンネルトランジスタ212-1と、クロックパルス“V_{CK1}”のタイミングで動作するpチャンネルトランジスタ210-1と、クロックパルス“XV_{CK1}”のタイミングで動作するnチャンネルトランジスタ211-1とにより、出力端子SR(1)には、時刻t₂にpチャンネルトランジスタ210-1がONし“H”レベルが出力され、時刻t₅にnチャンネルトランジスタ211-1がONし“L”レベルが出力される。つまり出力端子SR(1)には、スタートパルス“V_{STP}”の反転信号が、(t₂ - t₁) {= (t₅ - t₄)} だけシフトし、t₂～t₅の期間“H”レベルとなるパルスが現れる。

【0023】出力端子SR(1)に現れるパルスにより動作するpチャンネルトランジスタ213-1とnチャンネルトランジスタ218-1と、クロックパルス“V_{CKP}”のタイミングで動作するpチャンネルトランジスタ214-1と、クロックパルス“XV_{CKP}”のタイミングで動作するnチャンネルトランジスタ216-1とにより、ノードSR(1p)には時刻t₃においてnチャンネルトラ

(5)

7

ンジスタ216-1 がONし、“L”レベルが出力され、時刻 t_6 にpチャンネルトランジスタ214-1 がONし、“H”レベルが出力される。つまり、ノードSR (1 p) には、出力端子SR (1) に現れたパルスの反転信号が、 $(t_3 - t_2) \{= (t_6 - t_5)\}$ だけシフトした、 $t_3 \sim t_6$ の期間“L”レベルとなるパルスが現れる。以下同様に、シフト動作が行われ、出力端子SR (1), SR (2), SR (3), \dots SR (N-2), SR (N-1), SR (N) にパルスが順次出力される。なお順方向走査時には、ノードSR (1 n), SR (2 n), SR (3 n), \dots SR (N-2 n), SR (N-1 n), SR (N n) は浮遊状態となる。

【0024】次に逆方向走査の場合について、図11を参照しながら説明する。図9に示したシフトレジスタにおいて、入力端子“VSTN”221, クロックライン“VCK1”203, “VCKP”204, “VCKN”205, 及びクロックライン“XVCK1”206, “XVCKP”207, “XVCKN”208 に、図11に示すタイミングでパルスを与える。クロックパルス“VCKP”及び“XVCKP”は、それぞれ常に“H”レベル及び“L”レベルであるため、pチャンネルトランジスタ214-N, 214-(N-1), \dots 214-2, 214-1 及びnチャンネルトランジスタ216-N, 216-(N-1), \dots 216-2, 216-1 は、常にOFF状態である。

【0025】入力端子“VSTN”221 に図11に示す $t_1 \sim t_4$ の期間“L”レベルであるスタートパルス“VSTN”を与えると、pチャンネルトランジスタ209-N とnチャンネルトランジスタ212-N と、クロックパルス“VCK1”のタイミングで動作するpチャンネルトランジスタ210-N と、クロックパルス“XVCK1”のタイミングで動作するnチャンネルトランジスタ211-N とにより、出力端子SR (N) には、時刻 t_2 にpチャンネルトランジスタ210-N がONし“H”レベルが出力され、時刻 t_5 にnチャンネルトランジスタ211-N がONし“L”レベルが出力される。つまり出力端子SR (N) には、スタートパルス“VSTN”の反転信号が、 $(t_2 - t_1) \{= (t_5 - t_4)\}$ だけシフトし、 $t_2 \sim t_5$ の期間“H”レベルとなるパルスが現れる。前記出力端子SR (N) に現れるパルスにより動作するpチャンネルトランジスタ213-N とnチャンネルトランジスタ218-N と、クロックパルス“VCKN”のタイミングで動作するpチャンネルトランジスタ215-N と、クロックパルス“XVCKN”のタイミングで動作するnチャンネルトランジスタ217-N とにより、ノードSR (N n) には、時刻 t_3 においてnチャンネルトランジスタ217-N がONし、“L”レベルが出力され、時刻 t_6 にpチャンネルトランジスタ215-N がONし、“H”レベルが出力される。つまり、ノードSR (N n) には、出力端子SR (N) に現れたパルスの反転信号が、 $(t_3 - t_2) \{= (t_6 - t_5)\}$ だけシフト

8

した、 $t_3 \sim t_6$ の期間“L”レベルとなるパルスが現れる。以下同様に、シフト動作が行われ、出力端子SR (N), SR (N-1), SR (N-2), \dots SR (3), SR (2), SR (1) にパルスが順次出力される。なお逆方向走査時には、ノードSR (N p), SR (N-1 p), SR (N-2 p), \dots SR (3 p), SR (2 p), SR (1 p) は浮遊状態となる。

【0026】この実施例においては、第1実施例の場合と比べ、シフトレジスタ1段分を構成するトランジスタ数を2個削減し、クロックラインを2本減らすことができるので、素子の小型化が可能となる。

【0027】次に第3実施例について説明する。図12は、第3実施例における走査回路に用いるシフトレジスタの回路構成図であり、図13, 14は、図12に示したシフトレジスタの動作を説明するためのパルスタイミング図である。図12において、301, 302, 303, 304 はシフトレジスタのクロックライン、305 はシフトレジスタのスタートパルス入力端子、SR (1), SR (2), \dots SR (N) はシフトレジスタの出力端子、SR (0.5), SR (1.5), \dots SR (N+0.5) はシフトレジスタの中間ノードである。またP (0.5), \dots P (N+1.5) はpチャンネルトランジスタであり、N (0.5), \dots N (N+1.5), TP (0.5), \dots TP (N+0.5), TN (1.5), \dots TN (N+1.5) はnチャンネルトランジスタであり、P (0.5) とN (0.5), \dots P (N+1.5) とN (N+1.5) はインバータを構成し、TP (0.5), \dots TP (N+0.5), TN (1.5), \dots TN (N+1.5) はトランスファークロスを構成している。そして図示のように1個のインバータと2個のトランスファークロスを縦続接続し、N段のシフトレジスタを構成している。

【0028】次に、このように構成されたシフトレジスタの動作について説明する。まず図13を参照しながら順方向走査について説明する。クロックライン301 ~ 304 には図13に示すクロックパルスVCKP1, VCKP2, VCKN1, VCKN2 が与えられる。クロックパルスVCKN1, VCKN2 は常時“L”レベルとなっているため、トランスファークロスTN (1.5), \dots TN (N+1.5) は常にオフ状態となっている。この状態において、シフトレジスタ入力端子305 に $t_1 \sim t_3$ の期間“H”レベルであるスタートパルスVSTが入力されると、まずノードSR (0.5) には、クロックパルスVCKP2が“H”レベルの時スタートパルスVSTの反転信号が現れるため、クロックパルスVCKP2の立ち上がりに同期してスタートパルスVSTの反転信号がシフトし、 $t_2 \sim t_5$ の期間“L”レベルとなる。次に出力端子SR (1) は、クロックパルスVCKP1が“H”レベルの時ノードSR (0.5) の反転信号が現れるため、クロックパルスVCKP1の立ち上がりに同期してスタートパルスVSTがシフトし、 $t_4 \sim t_6$ の

(6)

9

期間“H”レベルとなる。以下同様にシフト動作が行われ、シフトレジスタの出力端子SR(1), … SR(N)には、順次図示のような出力信号が現れる。

【0029】次に逆方向走査について図14を参照しながら説明する。クロックライン301～304には図14に示すようなクロックパルスVCKP1, VCKP2, VCKN1, VCKN2が与えられる。この逆方向走査では、クロックパルスVCKP1, VCKP2は常時“L”レベルとなっているため、トランスファークロップTP(0.5), … TP(N+0.5)は常にオフ状態となる。この状態において、シフトレジスタ入力端子305に $t_1 \sim t_3$ の期間“H”レベルであるスタートパルスVSTが入力されると、まずノードSR(N+0.5)は順方向動作時のノードSR(0.5)と同様に、 $t_2 \sim t_5$ の期間“L”レベルとなる。次に出力端子SR(N)は、 $t_4 \sim t_6$ の期間“H”レベルとなり、以下同様にシフト動作が行われ、出力端子SR(N), … SR(1)には、順次図示のような出力信号が現れる。

【0030】以上説明したように、図12に示した構成のシフトレジスタによれば、シフトレジスタのクロックラインに与えられるクロックパルス信号を制御することにより、走査方向が切り換わり、このシフトレジスタを走査回路に用いることにより双方向撮像走査可能な固体撮像装置が実現できる。

【0031】なお図12に示した構成のシフトレジスタにおいては、インバータとしてCMOSインバータを用いたものを示したが、E/D形インバータなど同じ機能を持った構成のものであれば同様に用いることができる。また図12に示した構成のシフトレジスタでは、トランスファークロップとしてnチャンネルトランジスタを用いたものを示したが、CMOS形、pチャンネルトランジスタなど同じ機能を持った構成のものであることが可能なのは言うまでもない。

【0032】更に、上記インバータとトランスファークロップを組み合わせたシフトレジスタの構成においても、第2実施例と同様に、2個並列に設けたトランスファークロップを半段毎に間引き、トランジスタ数、クロックライン数を低減することが可能である。

【0033】次に第4実施例について説明する。図15は第4実施例の走査回路の一部を示す回路構成図である。この実施例の走査回路の一部は、図3に示した第1実施例のシフトレジスタに、シフトレジスタへ与えるクロック信号を制御する走査方向制御部10を付加して構成したものである。図15に示したシフトレジスタ部分は、構成及び動作とも第1実施例で説明したとおりであるので、ここではその説明を省略し、走査方向の切り換えについてのみ説明する。図15において、走査方向制御部10には走査方向を制御する信号CONT及びシフトレジスタを駆動するための基本クロックVCK1, VCK2が外部から与えられ、走査方向の制御信号CONTに応じて、双

10

方向走査動作シフトレジスタに必要なクロック信号VCKP1, VCKP2, VCKN1, VCKN2, XVCKP1, XVCKP2, XVCKN1, XVCKN2を出力するようになっている。

【0034】図16は、走査方向制御部10の具体的な回路構成例を示す図であり、図17は、その動作を説明するためのパルスタイミング図である。図16に示す走査方向制御部10において、走査方向制御信号CONTが“H”レベルの時を順方向走査、走査方向制御信号CONTが“L”レベルの時を逆方向走査とする。走査方向制御信号CONTが“H”レベルの時、NOR11-1, 11-2はインバータと同じ機能を有し、一方NOR11-3, 11-4の出力は常に“L”レベルとなる。一方、制御信号CONTが“L”レベルの時、NOR11-1, 11-2の出力は“L”レベルとなり、NOR11-3, 11-4の出力はインバータと同じ機能を有するため、クロック信号VCKP1, … XVCKN2は、それぞれ図17に示すようになる。図17のタイミングを第1実施例で説明した図4及び図5のタイミングと比較すれば、制御信号CONTが“H”レベルで順方向走査、“L”レベルで逆方向走査が行われることがわかる。

【0035】以上説明したように、走査方向制御部10を付加して走査回路を構成することにより、外部から与える信号を減らし、簡単に走査方向を切り換えることができる。なお本実施例では、制御信号CONTを“H”レベルで順方向走査、“L”レベルで逆方向走査を行うようにしたものを示したが、これを逆にすることも可能である。また走査方向制御回路は、図16に示した構成に限られるものではなく、所望のクロックを制御できる構成であればよいことは言うまでもない。またこの走査方向制御回路を他の実施例に適用できることは明らかである。

【0036】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、水平及び又は垂直走査回路を、入力クロック信号の制御により走査方向が切り換えられるように構成したので、左右反転の鏡像撮像や上下反転撮像ができる双方向撮像走査可能な固体撮像装置を、複雑な回路や複数の走査回路を必要とせず簡単な構成で、しかもチップ面積の増大の割合を低減して実現することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置を説明するための概念図である。

【図2】本発明の第1実施例のシフトレジスタを構成するクロックドインバータの回路構成図である。

【図3】図2に示したクロックドインバータを縦続接続して形成したシフトレジスタの回路構成図である。

【図4】図3に示したシフトレジスタの順方向走査の動作を説明するためのタイミングチャートである。

(7)

11

【図5】図3に示したシフトレジスタの逆方向走査の動作を説明するためのタイミングチャートである。

【図6】本発明の第2実施例のシフトレジスタの1段分の回路構成図である。

【図7】図6に示したシフトレジスタ1段分の順方向走査時の動作を説明するためのタイミングチャートである。

【図8】図6に示したシフトレジスタ1段分の逆方向走査時の動作を説明するためのタイミングチャートである。

【図9】図6に示した1段分の構成をN段接続したシフトレジスタの回路構成図である。

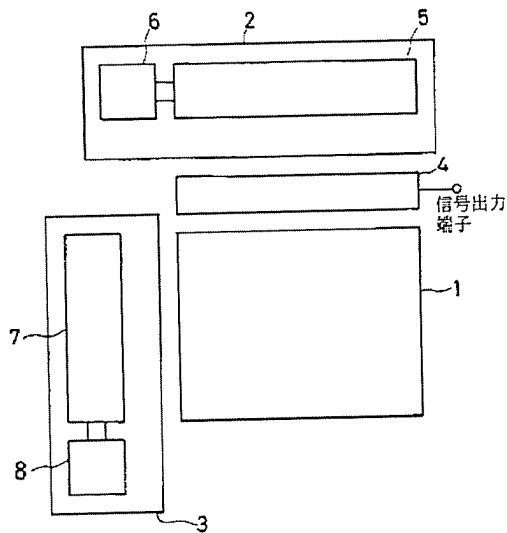
【図10】図9に示したシフトレジスタの順方向走査の動作を説明するためのタイミングチャートである。

【図11】図9に示したシフトレジスタの逆方向走査の動作を説明するためのタイミングチャートである。

【図12】本発明の第3実施例のシフトレジスタを示す回路構成図である。

【図13】図12に示したシフトレジスタの順方向走査の動作を説明するためのタイミングチャートである。

【図1】



- 1 : 受光部
- 2 : 水平走査回路
- 3 : 垂直走査回路
- 4 : 信号読み出し部
- 5 : 水平シフトレジスタ
- 6 : 水平用走査方向制御回路
- 7 : 垂直シフトレジスタ
- 8 : 垂直用走査方向制御回路

12

【図14】図12に示したシフトレジスタの逆方向走査の動作を説明するためのタイミングチャートである。

【図15】本発明の第4実施例の走査回路の一部を示す回路構成図である。

【図16】図15における走査方向制御部の構成例を示す回路構成図である。

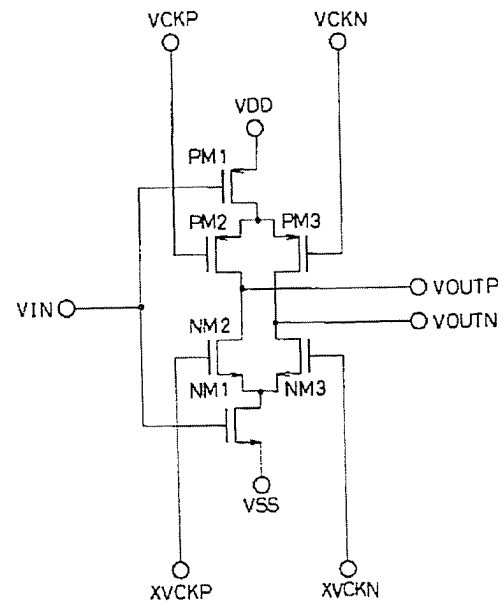
【図17】図16に示した走査方向制御部の動作を説明するためのタイミングチャートである。

【図18】従来の鏡像機能をもつイメージセンサの構成例を示す図である。

【符号の説明】

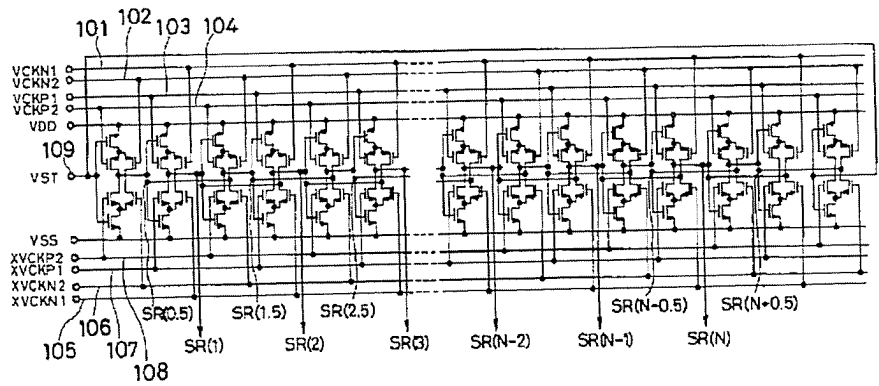
- 1 受光部
- 2 水平走査回路
- 3 垂直走査回路
- 4 信号読み出し部
- 5 水平シフトレジスタ
- 6 水平用走査方向制御回路
- 7 垂直シフトレジスタ
- 8 垂直用走査方向制御回路
- 10 走査方向制御部

【図2】

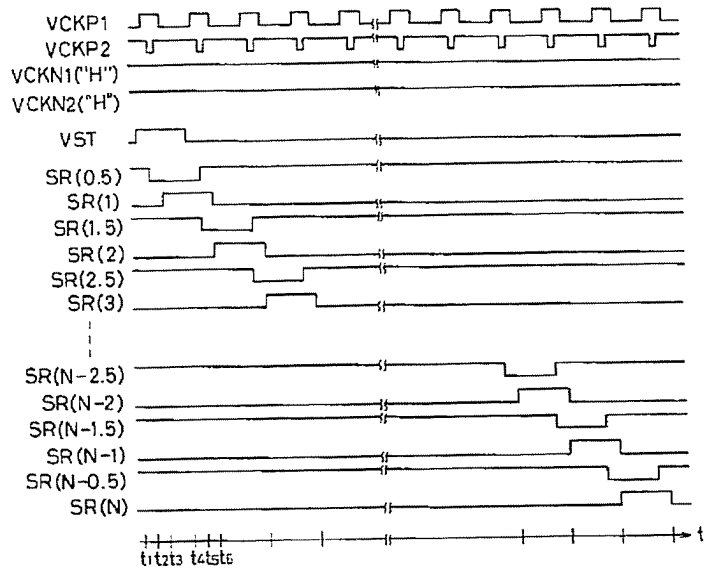


(8)

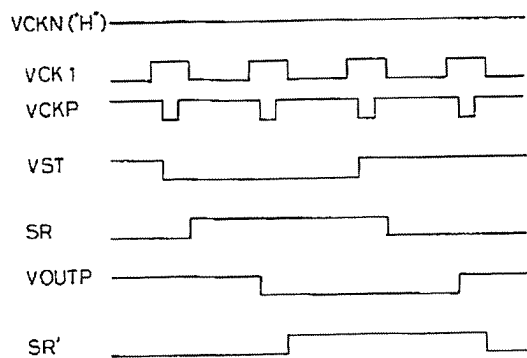
【図3】



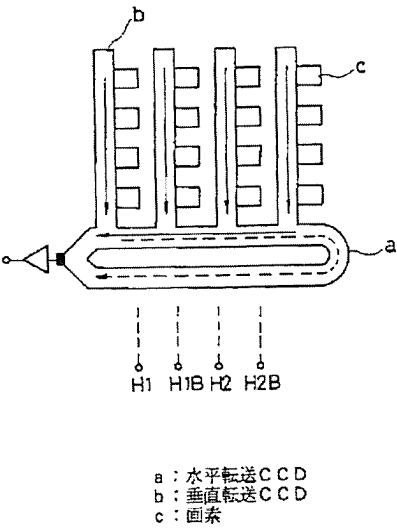
【図4】



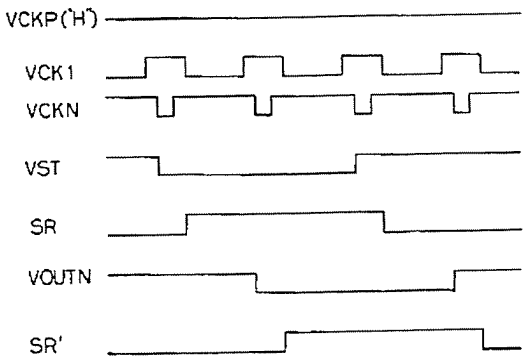
【図7】



【図18】

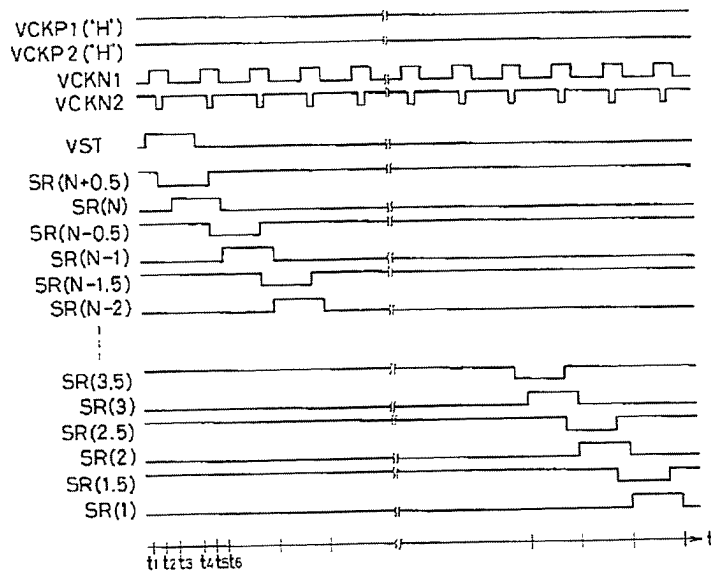


【図8】

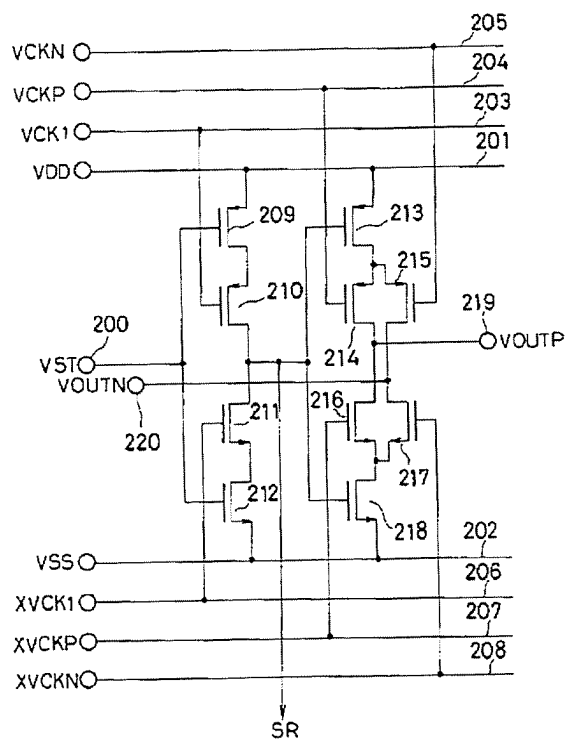


(9)

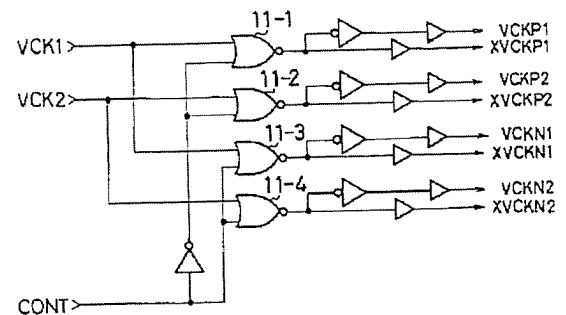
【図5】



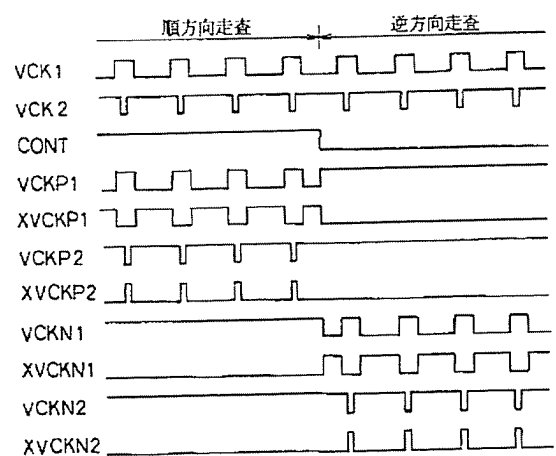
【図6】



【図16】

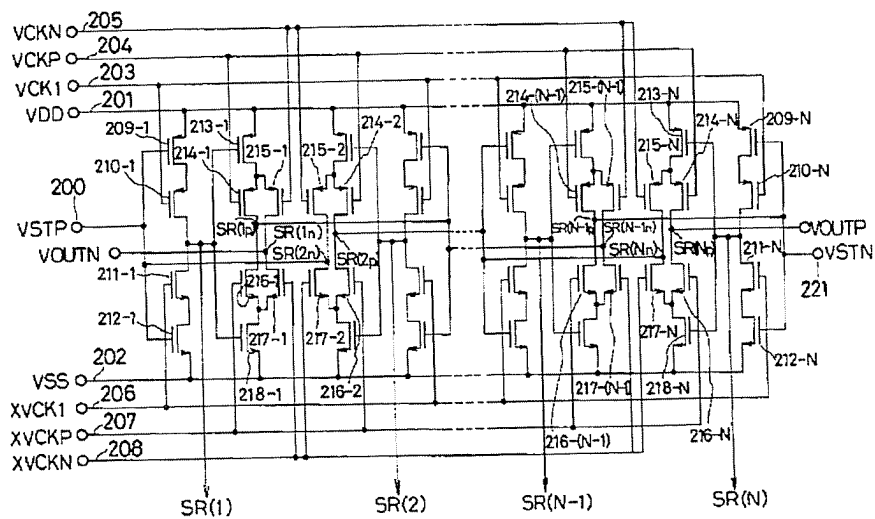


【図17】

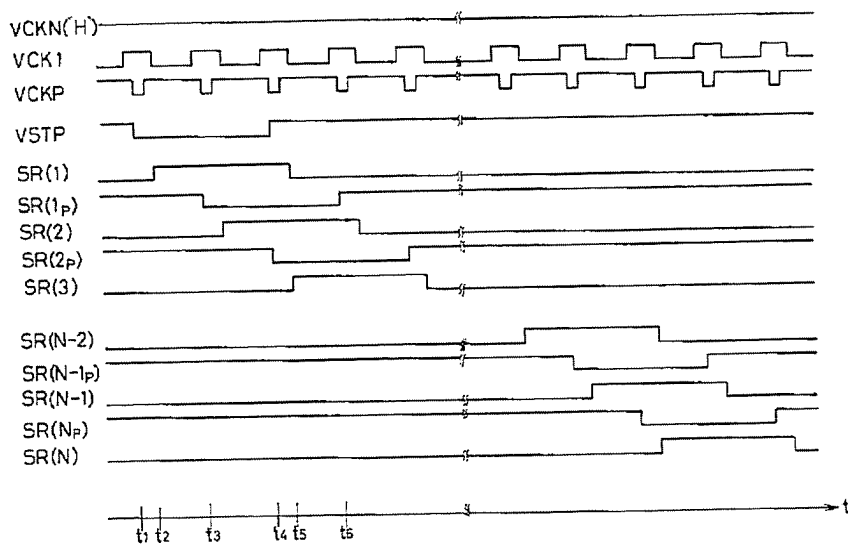


(10)

【図9】

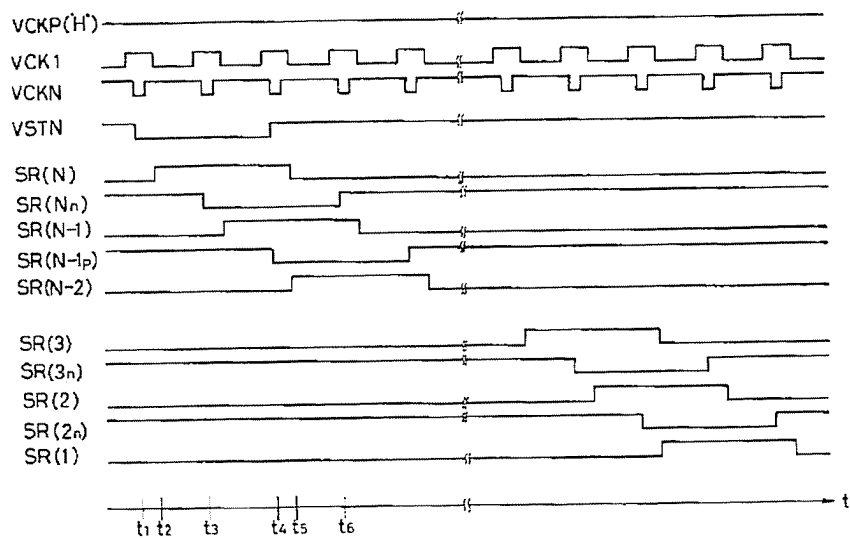


【図10】

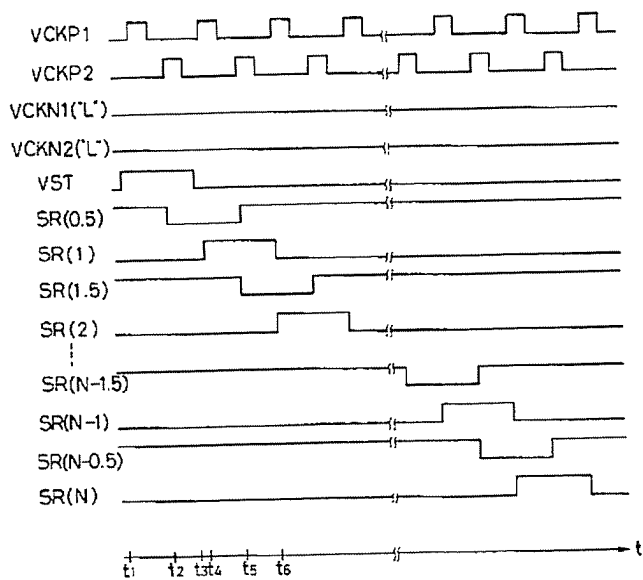


(11)

【図11】

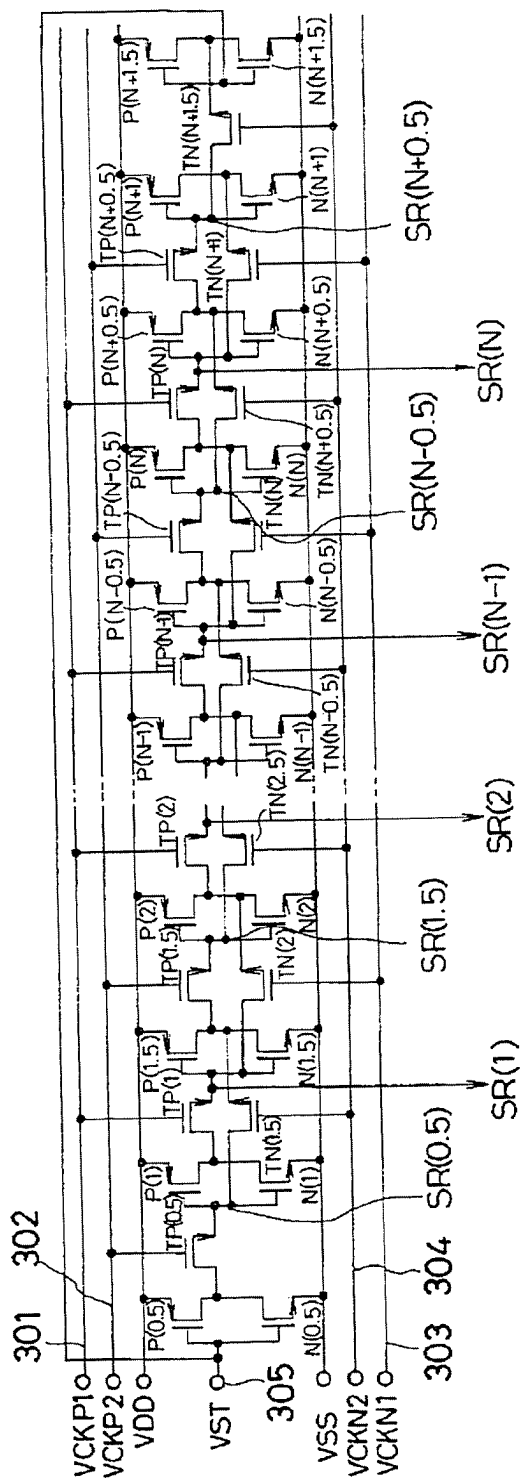


【図13】



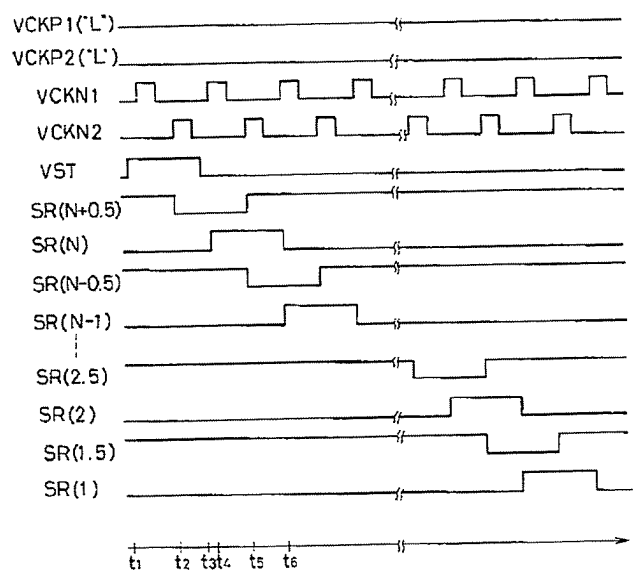
(12)

【図12】



(13)

【図14】



(14)

【図15】

